



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58106822 A**(43) Date of publication of application: **25.06.83**

(51) Int. Cl

**H01L 21/265**  
**C30B 31/22**  
**H01L 27/08**  
**H01L 29/76**

(21) Application number: **56203714**(22) Date of filing: **18.12.81**(71) Applicant: **HITACHI LTD**

(72) Inventor: **WADA YASUO**  
**KIMURA TAKESHI**  
**UTAKA MASATOSHI**  
**OBAYASHI HIDEHITO**

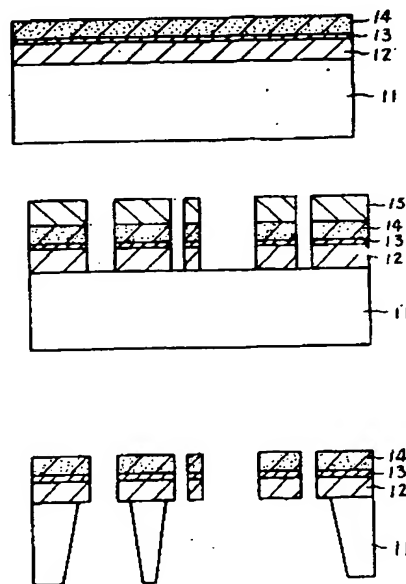
(54) **IMPURITY INTRODUCING METHOD**

COPYRIGHT: (C)1983,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To allow the simplification of required processes such as the unnecessary of the process of mask formation and removal by a method wherein detachable masks are loaded by being mask-aligned to the desired positional relation to wafers to be ion-implanted, and ion-implantation is performed via masks.

**CONSTITUTION:** After an  $\text{SiO}_2$  film 12 is grown on an Si wafer 11 by a thermal oxidation, and an  $\text{Si}_3\text{N}_4$  film 13 is deposited by a CVD method, an Al film 14 is deposited by a vacuum deposition method. Next, a photo resist film is applied over the entire surface, and an exposure and a development are performed resulting in the formation of photo resist patterns 15 having desired shapes. Using this photo resist pattern 15 as the mask, the Al film 14, the  $\text{Si}_3\text{N}_4$  film 13 and the  $\text{SiO}_2$  film 12 are respectively etched by a reactive sputter etching, and accordingly the surface of the Si wafer 11 is exposed. When the Si wafer 11 is etched after removing the photo resist pattern 15, the mask, wherein three-layer mask patterns having through holes are held on the Si wafer 11, is formed.



## ⑫ 公開特許公報 (A)

昭58—106822

⑤ Int. Cl.<sup>3</sup>

H 01 L 21/265

C 30 B 31/22

H 01 L 27/08

29/76

識別記号

庁内整理番号

6851—5F

6703—4G

6370—5F

7377—5F

⑬ 公開 昭和58年(1983)6月25日

発明の数 1

審査請求 未請求

(全 5 頁)

## ⑭ 不純物導入方法

⑮ 特 願 昭56—203714

⑯ 出 願 昭56(1981)12月18日

⑰ 発 明 者 和田恭雄

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑱ 発 明 者 木村剛

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑲ 発 明 者 右高正俊

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑳ 発 明 者 大林秀仁

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

㉑ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

㉒ 代 理 人 弁理士 薄田利幸

## 明 細 書

発明の名称 不純物導入方法

## 特許請求の範囲

所望の貫通孔を有する着脱可能なマスクを、半  
導体基板と所望の位置関係になるようにマスク合  
わせして装着した後、上記マスクの貫通孔を介し  
て上記半導体基板にイオン打込みを行なうことを  
特徴とする不純物導入方法。

## 発明の詳細な説明

本発明は不純物導入方法に関し、詳しくは、貫  
通孔を有するマスクを介してイオン打込みによつ  
て不純物を導入する方法に関する。

周知のように、半導体基板などへ所望不純物を  
導入する方法として、熱拡散法とイオン打込み法  
が、最も広く用いられた。

熱拡散法は、第1図に示したように、 $\text{SiO}_2$  膜  
や  $\text{Si}_3\text{N}_4$  膜など、拡散温度における不純物の拡  
散係数が、不純物を拡散すべき基板のそれよりも  
著しく小さい膜をマスク2に用いて、不純物をド  
ープしたドーパントオキサイド3などから、不純物

を基板1に導入して、拡散領域4を形成する方法  
である。

イオン打込みは、第2図に示したように、 $\text{SiO}_2$   
膜6などをマスクにして、基板5などの所望部分  
に、加速されたイオン7を打込んで、打込み領域  
8を形成する。この場合、マスクは十分厚いもの  
を使用して、不純物が所望部分のみに選択的に導  
入されるようにすることが必要である。

上記いずれの方法を用いても、ウェーハ内の全  
面に同一の拡散を行なうのは容易であるが、同一  
ウェーハ内に異なる拡散を行なうときは、種々の  
問題が生ずる。

たとえば、コンプリメンタリーMOS（以下、  
CMOSと記す）を形成するためのプロセスにお  
いては、高濃度のn型領域と高濃度のp型領域を  
隣接して形成する必要がある。

この場合、マスクとして用いた $\text{SiO}_2$ 膜を除去  
する際に、半導体デバイスの特性上重要な、下地  
の $\text{SiO}_2$ 膜も、同時にエッチされ、得られるデバ  
イスの特性が著しく低下したり、あるいは、表面

の段差が大きくなってしまうので、上記 $\text{SiO}_2$ 膜の下に $\text{Si}_3\text{N}_4$ 膜を設け、下地の $\text{SiO}_2$ 膜がエッチされるのを防止している。

しかし、この方法を用いると、 $n$ 型拡散層と $p$ 型拡散層の両者を形成するために、下記のように、合計15工程を必要とする。

1. 基板上に $\text{SiO}_2$ 膜成長
2.  $\text{Si}_3\text{N}_4$ 膜堆積
3.  $\text{SiO}_2$ 膜堆積
4. レジスト工程 ( $n$ 型拡散層形成)
5.  $\text{SiO}_2$ 膜エッチ
6. レジスト膜除去
7. ホウ素イオン打込み
8.  $\text{SiO}_2$ 膜全面除去
9.  $\text{SiO}_2$ 膜堆積
10. レジスト工程 ( $p$ 型拡散層形成)
11.  $\text{SiO}_2$ 膜エッチ
12. レジスト膜除去
13. ホウ素イオン打込み
14.  $\text{SiO}_2$ 膜全面除去

着法によつて堆積する。

つぎに、第3図(B)に示すように、ホトレジスト膜を全面に塗布し、露光と現像を行なつて、所望の形状を有するホトレジストパターン15を形成する。このホトレジストパターン15をマスクに用いて、上記A $\angle$ 膜14、 $\text{Si}_3\text{N}_4$ 膜13および $\text{SiO}_2$ 膜12を、それぞれ $\text{CCl}_4$ 、 $\text{CF}_4$ および $\text{CF}_4$ と $\text{H}_2$ の混合ガスを反応ガスとして用いる反応性スパッタエッチングによつてエッチし、上記シリコンウエーハ11の表面を露出させる。

上記ホトレジストパターン15を除去した後、上記シリコンウエーハ11をエッチすると、第3図(C)に示すように、貫通孔を有する3層マスクパターンが、シリコンウエーハ11上に保持されたマスクが形成される。

#### 実施例2

第4図(A)に示すように、比抵抗 $10\ \Omega\text{cm}$ の $p$ 型シリコンウエーハ16上に、厚さ $2\ \mu\text{m}$ のホトレジスト(AZ1350J:商品名、米国シップレー社製)膜を塗布した後、所望部分への露光し、さら

#### 15. $\text{Si}_3\text{N}_4$ 膜除去

本発明の目的は、上記従来の問題を解決し、従来よりはるかに少ない数の工程によつて、異なる不純物領域を形成することのできる不純物導入方法を提供することである。

上記目的を達成するため、本発明は、所望の貫通孔を有する着脱可能なマスクをあらかじめ用意し、このマスクをウエーハとマスク合わせを行なつて、所定の位置関係で装置し、このマスクを介してイオン打込みを行なうものである。

以下、実施例を用いて本発明を詳細に説明する。

#### 実施例1

まず、本発明において用いられるマスクの製法について説明する。第3図(A)に示すように、比抵抗 $10\ \Omega\text{cm}$ のシリコンウエーハ11の(100面)上に、熱酸化によつて厚さ $1,000\ \text{\AA}$ の $\text{SiO}_2$ 膜12を生長させ、 $\text{SiH}_4$ と $\text{NH}_3$ の混合ガスを用いる周知のCVD (Chemical Vapor Deposition) 法によつて、厚さ $1,200\ \text{\AA}$ の $\text{Si}_3\text{N}_4$ 膜13を堆積させた後、厚さ $4,000\ \text{\AA}$ のA $\angle$ 膜14を真空蒸

に現像液としてMF312 (商品名、米国シップレー社製)と水の1:1混合液を用いて現像を行なつて、所望の形状を有するホトレジストパターン15を形成する。

第4図(B)に示すように、上記シリコンウエーハ16の露出された表面上に、厚さ $2\ \mu\text{m}$ のNi膜18をメッキ法によつて堆積する。

つぎに、上記レジストパターン17を、周知手段によつて除去し、第4図(C)に示したように、貫通孔を有するNi膜18をマスクパターンとするマスクが形成される。なお、第4図(C)は、Ni膜18をシリコン基板16によつて保持した場合を示したが、このシリコン基板16を除去することも可能である。

#### 実施例3

上記実施例に示した方法によつて形成されたマスクを使用する際のマスク合わせについて説明する。

本発明において用いられるマスクは、マスクパターンを貫通するように形成された合わせマーク

によつて、マスク合わせが行なわれる。

合わせマークの形状は、種々のものを用いることができるが、本実施例においては、第5図(A)に示すように、幅 $16\mu\text{m}$ 、長さ $206\mu\text{m}$ の長方形を組み合わせた十字型パターン20を用い、これを、シリコンウエーハ上に形成された幅 $10\mu\text{m}$ 、長さ $200\mu\text{m}$ の長方形を組み合わせた十字型パターン19と合致させて、マスク合わせを行なつた。

両パターンの合致は目視によつて行ない、シリコンウエーハ上の十字パターン19が、マスクに形成されたパターン20の内側に、第5図(B)に示すように、正しく入つた状態になつたとき、マスク合わせが完了する。なお、第5図(A)は、マスク合わせが不十分で、シリコンウエーハが左に片寄つたときの状態を示している。このような簡単な操作によつて、ほぼ $\pm 1\mu\text{m}$ 程度の合わせ精度を得ることができた。

#### 実施例4

本実施例は、マスク合わせ自動的に行なつた例

で、ほぼ $\pm 0.5\mu\text{m}$ を得ることができた。

#### 実施例5

第7図(A)に示すように、比抵抗 $10\Omega\text{cm}$ のP型シリコン基板31の(100)面上に、周知のシリコンプロセスを用いて、厚さ $1\mu\text{m}$ のフィールド酸化膜32、厚さ $500\text{\AA}$ のゲート酸化膜33、厚さ $4000\text{\AA}$ の多結晶シリコンゲート34を形成した。

つぎに、第7図(B)に示すように、上記実施例1に示した方法によつて形成したマスク35を、実施例3に示した方法にしたがつてマスク合わせを行なつた後、マスク35の有する孔38を介してひ素を $100\text{KeV}$ で $1\times 10^{18}\text{cm}^{-2}$ 打込み、n型の高濃度打込み領域36を形成した。

マスク35の位置を変え、ホウ素イオンを $30\text{KeV}$ で $3\times 10^{18}\text{cm}^{-2}$ 打込んで、第7図(D)に示すように、P型の高濃度領域37を形成した。

テッ素雰囲気中において $950^\circ\text{C}$ 、20分間アニールを行なうと、n型領域36の接合深さは $0.25\mu\text{m}$ 、層抵抗は $45\Omega/\square$ 、P型領域37

を示す。

第8図(A)、(B)に示すように、シリコンウエーハ27上に、凹凸を持つた十字型合わせパターン21およびマスク28に十字型合わせパターン22を、それぞれ形成する。

光源23からの光24を、ハーフミラー26によつて反射させ、マスク28の有する合わせパターン22を介して、シリコンウエーハ27の表面に導く。両合わせパターン22、21が合致していないときは、光はウエーハ27の平坦な表面によつて $180^\circ$ 反射され、ハーフミラー26を介して光検出器25に入射する。

しかし、マスク28の有する合わせパターン22の下方に、凹凸を持つた合わせパターン21が位置すると、反射光はウエーハ27の表面に垂直な方向ではなく、側方に向うので、光検出器25の出力は低下する。

したがつて、光検出器25の出力が最小となるように、ウエーハ27とマスク28の位置を調節すればよく、この方法によつて、合わせ精度とし

の接合深さは $0.3\mu\text{m}$ 、層抵抗は $70\Omega/\square$ であつた。このようにして形成された半導体素子の特性は良好で、しきい値電圧およびゲイン定数は、いずれもほぼ期待値に等しい値を得ることができた。

本実施例においては、nチャネルMOSトランジスタのゲートにはひ素が、pチャネルMOSトランジスタのゲートにはほう素が、それぞれドーブされるが、あらかじめ、各ゲートに高濃度のリンをドーブしておくことによつて、多結晶シリコンゲートの抵抗を、さらに低くすることができる。

また、本実施例では、 $3\times 10^{18}\text{cm}^{-2}$ 以上という、比較的高濃度の打込みを行なつたが、本発明によつて、低濃度のイオン打込みを、支障なく行ない得ることはいうまでもない。

上記説明から明らかなように、本発明は、所望の貫通孔を有する着脱可能なマスクを、イオン打込みすべきウエーハと所望の位置関係にマスク合わせして装着し、上記マスクを介してイオン打込みを行なうものである。

そのため、レジスト膜や $\text{SiO}_2$ 膜などのマスク

の形成や除去の工程が不要になるなど、所要工程が著しく簡略化される。

たとえば、 $n$ 型拡散層と $p$ 型拡散層を同時に形成するためには、先に説明したように、従来の方法では15工程が必要であるが、本発明によれば、実施例5に示したように、酸化膜形成、ゲート電極形成、ひき込みおよびほう素打込みという、わずか4工程でよい。

このような大きな特長を持つ本発明は、各種半導体装置の生産性向上に極めて有効であり、得られる利益は非常に大きい。

#### 図面の簡単な説明

第1図および第2図はそれぞれ従来の不純物拡散およびイオン打込みを説明するための図、第3図および第4図はそれぞれ本発明に用いられるマスクの異なる製法を示す工程図、第5図および第6図はそれぞれ本発明における異なるマスク合わせを説明するための図、第7図は本発明の一実施例を示す工程図である。

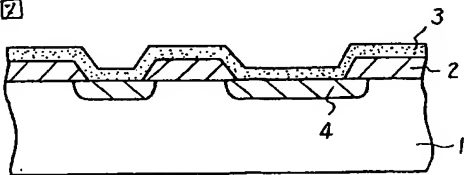
1, 5, 11, 16, 27, 31...シリコンウェ

ーハ、2, 6, 12, 32, 33... $SiO_2$ 膜、  
13... $Si_3N_4$ 膜、14... $Al$ 膜、15, 17...  
ホトレジスト膜、18... $Ni$ 膜、19, 20,...  
21, 22...合わせパターン、34...ゲート電極、  
28, 35...マスク、38...貫通孔、3...不純物  
拡散源、4, 8, 36, 37...不純物拡散層、7  
...イオンビーム、23...光源、24...光束、25  
...光検出器、26...ハーフミラー。

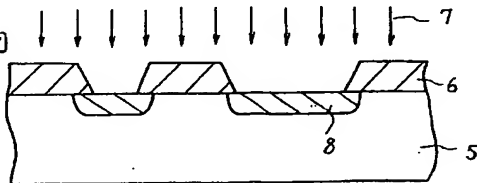
代理人 弁理士 薄田利幸

BEST AVAILABLE COPY

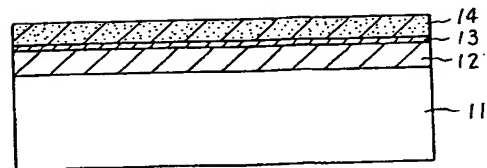
第1図



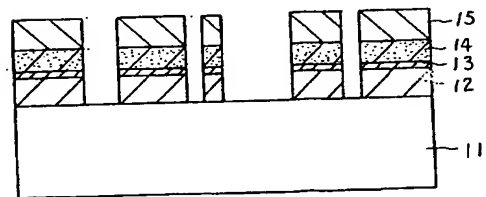
第2図



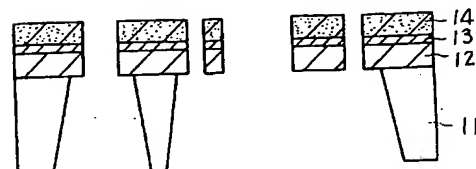
第3図(A)



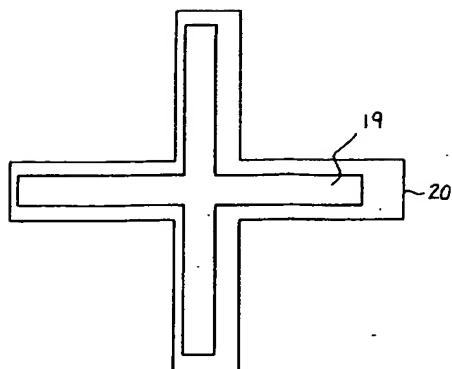
第3図(B)



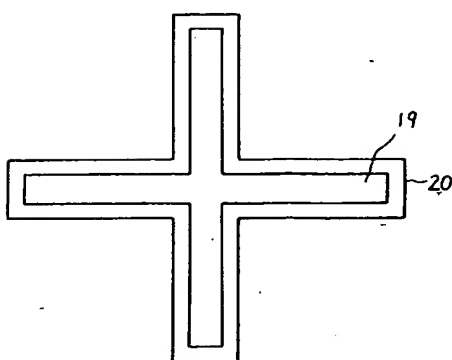
第3図(C)



第 5 図 (A)



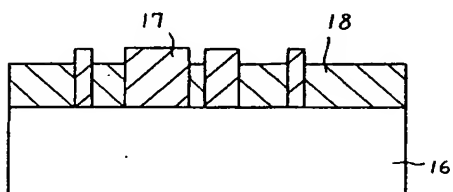
第 5 図 (B)



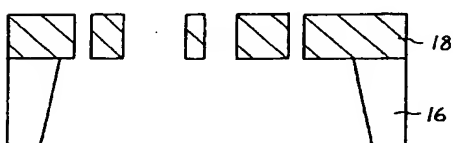
第 4 図 (A)



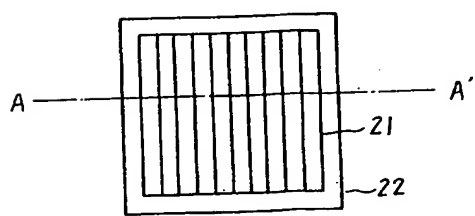
第 4 図 (B)



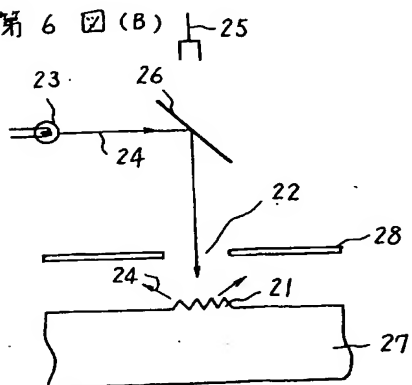
第 4 図 (C)



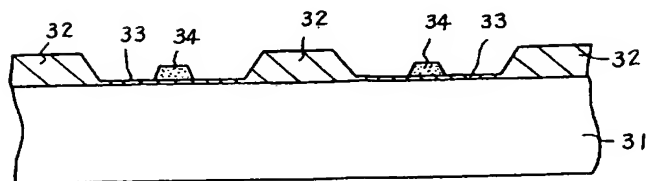
第 6 図 (A)



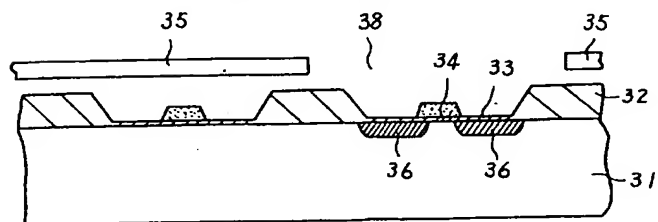
第 6 図 (B)



第 7 図 (A)



第 7 図 (B)



第 7 図 (C)

